

Семестровое задание
по курсу "Спецпроцессоры"
Тема: "Разработка спецпроцессора"

Семестровое задание состоит в разработке спецпроцессора с использованием САПР ПЛИС Quartus II. Разрабатываемый спецпроцессор должен быть размещен в ППВМ EP1C3T144T8 семейства Cyclone. Если задание предусматривает конвейерный вариант, то длина конвейера должна быть максимальной для размещения в данной ППВМ, в противном случае, процессор должен содержать максимальное число параллельно работающих устройств. Структура спецпроцессора может быть представлена в виде схемы, либо на языках VHDL или Verilog по выбору студента.

Многие задания рассчитаны на обработку чисел с плавающей запятой двойной точности. Формат таких чисел описан в стандарте IEEE и соответствует типу double языков высокого уровня, например, C++. В данном формате число имеет длину 64 бита и состоит (от младшего бита к старшему) из 11 бит смещенного порядка P , 52 бит мантииссы M и 1 бита знака S . Отрицательные числа кодируются прямым кодом. Порядок хранится в смещенном формате, величина смещения $E = 1023$, то есть 11-битным значениям смещенного порядка P от 0 до 2047 соответствуют значения порядка ($P - E$) от -1023 до 1024. Интерпретация значения m мантииссы M зависит от значения смещенного порядка. Если $P = 0$, то $0 \leq m < 1$ ($m = M \cdot 2^{-52}$), причем, при $0 < m < 1$ число считается денормализованным, а при $m = 0$ – нулем. Если $1 \leq P \leq 2046$, то $1 \leq m < 2$. В двоичном коде для таких значений m целая часть всегда равна 1 и не хранится в числе явно, то есть $m = 1 + M \cdot 2^{-52}$. Если $P = 2047$, то при $M = 0$ значение считается бесконечностью, а при $M > 0$ – не числом (NaN). Для более подробного знакомства с данными числами рекомендуется программно изучить битовое представление чисел double. При проектировании устройств можно считать, что на вход никогда не поступают денормализованные числа, бесконечности и не числа.

Семестровое задание оценивается от 12 до 20 баллов. Для получения оценки необходимо продемонстрировать устройство средствами Quartus II, предоставить пояснительную записку и ответить на теоретический вопрос. Пояснительная записка должна содержать титульный лист, номер варианта и задание, структурную схему или программу на языке VHDL или Verilog, временные диаграммы, расчет производительности устройства. Некоторые задания рассчитаны на бригады из 2-4 студентов. В этом случае каждый студент оформляет пояснительную записку самостоятельно.

1. Конвейерный сумматор для сложения чисел с плавающей запятой двойной точности.
- 2-3. Процессор для вычисления функций \sin , \cos , \sinh , \cosh , \exp от чисел с плавающей запятой двойной точности на основе алгоритма CORDIC.
4. Процессор для деления чисел с плавающей запятой двойной точности на основе линейного режима алгоритма CORDIC.
5. Процессор для вычисления квадратного корня числа с плавающей запятой двойной точности на основе алгоритма "цифра за цифрой".
- 6-9. Процессор для QR-разложения матрицы 4×4 из компонентов с плавающей запятой двойной точности на основе алгоритма CORDIC. Матрицы Q и R должны быть выражены явно, без масштабирования.
- 10-12. Процессор для LU-разложения матрицы 4×4 из компонентов с плавающей запятой двойной точности на основе алгоритма CORDIC в линейном режиме. LU-разложение – представление матрицы A в виде произведения $A = LU$, где L – левая треугольная матрица, U – верхняя унитреугольная (треугольная с единицами на главной диагонали).
- 13-14. 16-разрядный конвейерный процессор CORDIC в гиперболическом режиме вычисления с компенсацией коэффициента удлинения.

- 15-16. 16-разрядный конвейерный процессор CORDIC в круговом режиме вычисления с компенсацией коэффициента удлинения.
- 17-19. Процессор для вычисления прямой подстановки: решения системы линейных алгебраических уравнений вида $Lx = b$, где L – нижняя треугольная матрица. Компоненты матриц в формате чисел с плавающей запятой двойной точности. Используется алгоритм CORDIC в линейном режиме.
- 20-22. Процессор для вычисления обратной подстановки: решения системы линейных алгебраических уравнений вида $Ux = b$, где U – верхняя треугольная матрица. Компоненты матриц в формате чисел с плавающей запятой двойной точности. Используется алгоритм CORDIC в линейном режиме.
- 23-24. 16-разрядный последовательный процессор CORDIC в гиперболическом режиме вычисления с компенсацией коэффициента удлинения.
- 25-26. 16-разрядный последовательный процессор CORDIC в круговом режиме вычисления с компенсацией коэффициента удлинения.
27. Матричный умножитель Брауна для умножения чисел с плавающей запятой двойной точности.
28. Древовидный умножитель Уоллеса для умножения чисел с плавающей запятой двойной точности.
29. Древовидный умножитель Дадда для умножения чисел с плавающей запятой двойной точности.
30. Древовидный сумматор для сложения 32 чисел с плавающей запятой двойной точности на основе сумматоров с сохранением переноса.
- 31-32. 16-разрядный последовательный процессор CORDIC в гиперболическом режиме приложения с компенсацией коэффициента удлинения.
- 33-34. 16-разрядный последовательный процессор CORDIC в круговом режиме приложения с компенсацией коэффициента удлинения.
- 35-36. 16-разрядный конвейерный процессор CORDIC в гиперболическом режиме приложения с компенсацией коэффициента удлинения.
- 37-38. 16-разрядный конвейерный процессор CORDIC в круговом режиме приложения с компенсацией коэффициента удлинения.

Волгоградский государственный технический университет
Кафедра ЭВМ и систем

Семестровое задание
по курсу "Спецпроцессоры"
Тема: "Разработка спецпроцессора"

Выполнил:
студент гр. _____

Проверил:
Стрельников О. И. _____

Волгоград 2006